

1/5/6

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04343175      \*\*Image available\*\*  
SEMICONDUCTOR MEMORY

PUB. NO.:        05-334875 [ JP 5334875    A]  
PUBLISHED:      December 17, 1993 (19931217)  
INVENTOR(s):    TSUCHIDA KENJI  
                  OSAWA TAKASHI  
APPLICANT(s):   TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      04-139430 [JP 92139430]  
FILED:          May 29, 1992 (19920529)  
INTL CLASS:     [5] G11C-011/407; H01L-027/04; H01L-027/108  
JAPIO CLASS:    45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
                  (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD:  R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                  MOS)  
JOURNAL:        Section: P, Section No. 1715, Vol. 18, No. 172, Pg. 166,  
                  March 23, 1994 (19940323)

#### ABSTRACT

PURPOSE: To provide a device which can suppress power supply noise and in which stable operation is performed by incorporating a voltage dropping circuit consisting of MOS transistor using a boosted potential for a word line in a restore circuit of a bit line.

CONSTITUTION: A voltage dropping circuit consisting of mainly nMOS transistor Q(sub 2) is incorporated in a restore circuit 6 of a bit line. A boosted potential of a boosting circuit 4 which generates boosted potential VPP higher than power supply voltage VCC is supplied to gate electrodes of the transistor Q(sub 2) in order to operate a driving circuit 5 with high voltage and power supply voltage VCO is supplied to a drain. Consequently, voltage VDD5 of source side of the transistor Q(sub 2) is lower than VCC and becomes always VPP-V(sub t) (V(sub t) is threshold voltage of the transistor Q(sub 2)). Therefore, AC type noise which is decided by di/dt due to operation of a voltage comparator generated at the time of completion of restore can be reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-334875

(43) 公開日 平成5年(1993)12月17日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/407

H 0 1 L 27/04

B 8427-4M

F 8427-4M

6741-5L

8728-4M

G 1 1 C 11/34

3 5 4 F

H 0 1 L 27/10

3 2 5 V

審査請求 未請求 請求項の数4(全 9 頁) 最終頁に続く

(21) 出願番号

特願平4-139430

(22) 出願日

平成4年(1992)5月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 土田 賢二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 大沢 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

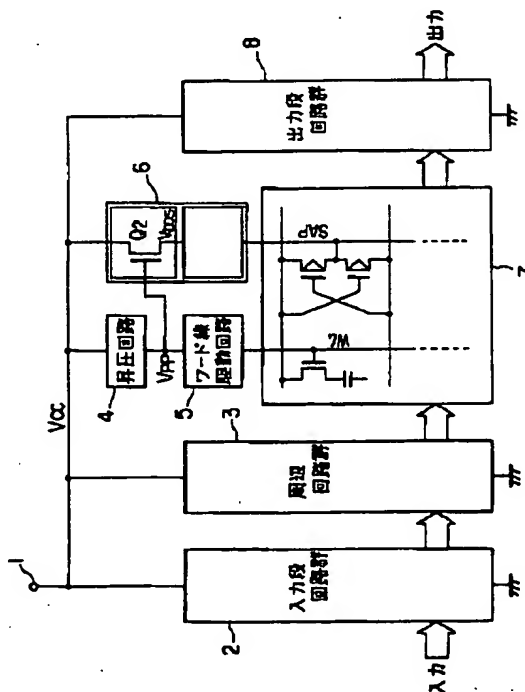
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 降圧回路として電圧コンパレータを用いることなく、メモリセルのビット線リストアのために電源電圧よりも低い降圧電位を発生させることができ、A C 的なノイズの低減をはかり得る半導体記憶装置を提供すること。

【構成】 D R A M 等の半導体記憶装置において、半導体基板上に複数のメモリセルを集積配置してなるメモリセルアレイ7と、このメモリセルアレイ7の行方向の選択を行うワード線駆動回路5と、この駆動回路5を高電圧で動作させるために電源電圧Vccよりも高い昇圧電位VPPを定常的に発生する昇圧回路4と、この昇圧回路4の昇圧電位がゲート電極に入力され、電源電圧Vccがドレインに供給されたnMOSトランジスタを基本構成とし、メモリセルアレイ7のビット線リストア用に電源電圧Vccよりも低い降圧電位VPP-Vtを生成する降圧回路を内蔵したビット線リストア回路6とを備えたことを特徴とする。



1

## 【特許請求の範囲】

【請求項1】半導体基板上に複数のメモリセルを集積配置してなるメモリセルアレイと、このメモリセルアレイの行方向の選択を行うワード線駆動用に電源電圧よりも高い昇圧電位を定期的に発生する昇圧回路と、この昇圧回路の昇圧電位がゲート電極に入力されるnMOSトランジスタを基本構成とし、前記メモリセルアレイのビット線リストア用に電源電圧よりも低い降圧電位を生成する降圧回路とを具備してなることを特徴とする半導体記憶装置。

【請求項2】前記昇圧回路及び降圧回路は前記メモリセルアレイと同一チップに形成され、且つ前記降圧回路はビット線リストア回路に内蔵されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記メモリセルアレイ及びその駆動回路以外の周辺回路には、前記ビット線リストア用の降圧回路とは別の降圧回路が設けられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】前記ビット線リストア回路は、基準電位となる信号が参照電位として入力された差動増幅器と、基準抵抗、並びに電圧・電流交換用素子とで構成される定電流回路を内蔵したことを特徴とする請求項2記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイナミック型RAM(DRAM)セルを用いた半導体記憶装置に係わり、特にビット線リストア回路の改良をはかった半導体記憶装置に関する。

【0002】

【従来の技術】MOS型半導体メモリのうちDRAMは、これを構成するメモリセルが簡素なため、現在最も高集積化が進んでいる。高集積化の背景には、微細加工技術の進展に伴うデバイス寸法の縮小が大きく寄与している。このようにデバイスの微細化が進むと、特にトランジスタの信頼性の確保の観点から半導体メモリに印加する電源電圧をスケールリングする必要が生じる。

【0003】一方、半導体メモリや中央演算装置、ゲートアレイ等のロジック回路を同一或いは複数のボード上に実装した、いわゆる半導体システムにおいては、その電源端に依然として単一5Vが印加されている。このため、特に16Mビット以上の集積度を有するDRAMにおいては、チップ内に電源電圧変換のための降圧回路を内蔵するものが数多く発表されている。例えば、JSSC, Vol. 23, No. 5, Oct. 1988, P. 1104~1112、或いは JSSC, Vol. 23, Oct. 1988, P. 1113~1119、さらに JSSC, Vol. 24, No. 3, June. 1989, P. 763~770 等がある。これらのDRAMにおいては、降圧電位をメモリセル部のみ供給するもの、或いは周辺回路を含めたチップ全体に供給するもの、さらにメモリセル部と周辺回路部に異なる降圧電位を供給

2

するもの等、その種類は数タイプに分類されるが、いずれにせよ最も微細化の進んだメモリセル部には必ず降圧電位が供給されている。

【0004】一般に、DRAMにおいては、メモリセル部に供給される電圧がメモリセルへの“1”書き込みレベル、換言すればビット線のリストアレベルに相当する。従ってこの電源としては、負荷の大きなビット線を所望の時間で充電する目的のため、大きな電流供給能力が必要となる。この傾向は、高集積化が進み1回のRASサイクルで充放電される総ビット線容量が大きくなるほど強くなる。このことは、チップ内の降圧電位のAC的な揺れが大きくなることを意味する。従って、セルアレイ部以外の周辺回路もメモリセル部と同一の降圧回路で動作させることは周辺回路の動作マージンを著しく損なうため、降圧回路をセルアレイ用と周辺回路用に分離する方向に進みつつある。

【0005】このような回路の具体例としては、セルアレイ部の降圧回路に電圧コンパレータを内蔵したタイプのものが JSSC, Vol. 24, No. 5, Oct. 1989, P. 1170~1175に発表されている。この回路の主要部を図9に示し、その動作を以下に説明する。

【0006】まず、センスアンプ活性化信号SEに同期してリストア用pMOSセンスアンプ回路の共通ソース信号線SAPは、ドライバトランジスタQ1を介して外部電源電圧(Vcc)に向けて充電が開始される。SAPの電位が徐々に上昇し、所定のリストア電位、即ち降圧電位に達すると、電圧コンパレータCMPがこれを検知しQ1による充電が終了し、ビット線リストア動作が完了する。

【0007】図10は、図9に示した回路の動作を波形図で示したものである。特に、図中の $I_{SAF}$ は、トランジスタQ1を介してビット線負荷( $C_{BL}$ )を充電する充電電流を示している。 $I_{SAF}$ はSEに同期して流れ始め、SAPの電位上昇に伴ってトランジスタQ1のゲート・ドレイン電圧が小さくなるため、徐々に減少する。SAPの電位がリストア電位に達すると、電圧コンパレータCMPがこれを検知し、トランジスタQ1をカットオフし、 $I_{SAF}$ は零になる。この場合、特にトランジスタQ1がカットオフする時間に $I_{SAF}$ の時間的変動量( $di/dt$ )が大きく、これが主原因となりチップのリードフレーム或いはボンディングワイヤのインダクタンス成分(L)により、電源線に $L \cdot di/dt$ で決まるAC的なノイズが発生する。

【0008】このノイズ量は、将来的にDRAMが高集積化され、1回のRASサイクルで充電すべき負荷容量が大きくなりその充電電流が大きくなるほど、またDRAMが高速化されリストア時間が短くなるほど大きくなる。従って、今後のDRAMを考える上で、 $I_{SAF}$ の時間的変動量( $di/dt$ )に起因するAC的なノイズが大きな問題となる。

3

【0009】

【発明が解決しようとする課題】このように従来、セルアレイ部に外部電源電圧をチップ内部で降圧した降圧電位を供給する降圧回路を有し、この降圧回路によりビット線リストア電圧を制御する半導体記憶装置においては、降圧回路内の電圧コンパレータが動作する際に電源線に大きな $di/dt$ ノイズ(AC的なノイズ)が発生するという問題があった。

【0010】本発明は、このような事情を考慮してなされたもので、その目的とするところは、降圧回路として電圧コンパレータを用いることなく、メモリセルのビット線リストアのために電源電圧よりも低い降圧電位を発生させることができ、AC的なノイズの低減をはかり得る半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の骨子は、ビット線リストア回路として、ワード線駆動用の昇圧電位( $V_{rr}$ )がゲート電極に入力され、且つそのドレイン電極が電源に接続されたnMOSトランジスタを内蔵させ、このトランジスタを用いてビット線リストア電位として $V_{rr}-V_t$ ( $V_t$ はこのトランジスタのしきい値電圧)なる降圧電位を発生させることにある。

【0012】即ち本発明は、DRAM等の半導体記憶装置において、半導体基板上に複数のメモリセルを集積配置してなるメモリセルアレイと、このメモリセルアレイの行方向の選択を行うワード線駆動用に電源電圧よりも高い昇圧電位を定常的に発生する昇圧回路と、この昇圧回路の昇圧電位がゲート電極に入力されるnMOSトランジスタを基本構成とし、メモリセルアレイのビット線リストア用に電源電圧よりも低い降圧電位を生成する降圧回路とを設けたことを特徴としている。

【0013】

【作用】本発明においては、ビット線リストア用の降圧電位生成のために、nMOSトランジスタのしきい値落ちの電位を用いている。このため、リストア動作の進行に伴ってそのリストア電流は緩やかに減少することになり、従来リストア終了時に発生していた電圧コンパレータの動作による大きな $di/dt$ ノイズを低減することが可能となる。従って、ノイズ発生量の小さな非常に安定した動作が可能となる。また、降圧回路のnMOSトランジスタのゲート電極にワード線駆動用の昇圧回路の昇圧電位を入力しているので、ビット線リストア電位を最適電位に設定することが可能となる。

【0014】

【実施例】以下に、本発明の実施例を図面を用いて詳細に説明する。

【0015】図1は、本発明の第1の実施例に係わるDRAMの概略構成を示すブロック図である。図中の1は外部電源、2は入力段回路群、3は周辺回路群、4は昇圧回路、5はワード線駆動回路、6はビット線リストア

4

回路、7はセルアレイブロック、8は出力段回路群である。

【0016】この装置が従来装置と異なる点は、ビット線リストア回路6に供給される降圧電位( $V_{ssa}$ )がトランジスタQ2により生成されている点にある。トランジスタQ2のドレインには電源 $V_{cc}$ が接続され、ゲート電極にはワード線の高レベルに相当する昇圧電位( $V_{rr}$ )が印加されており、この結果トランジスタQ2のソース側の電圧( $V_{ssa}$ )は、 $V_{cc}$ よりも低く常に $V_{rr}-V_t$ (但し、 $V_t$ はトランジスタQ2のしきい値電圧)となる。

【0017】本実施例によるビット線リストア回路の動作を述べる前に、本実施例にとって重要な昇圧電位( $V_{rr}$ )の必要性をまず述べる。

【0018】近年、DRAMの高速化の障害の一つとしてワード線の駆動時間が大きな問題となっている。DRAMの構成上、メモリセルに電源電圧レベルを書き込む場合には、メモリセルトランスファトランジスタのしきい値落ちを防ぐため、ワード線を電源電圧以上の電圧で駆動する必要がある。そこで従来、ワード線駆動回路にはブートストラップ回路と呼ばれる、主としてあるタイミングに同期させ、キャパシタカップリングを利用して電源電圧以上の電位を生成する技術が用いられてきた。しかし、この方式では負荷の重いワード線駆動信号線を駆動する必要があること、さらにnMOSによるソースフォロア回路自体の低速性から、高速DRAM実現においては大きな障害の一つとなっている。

【0019】さらに、このようなブートストラップ回路における昇圧電位は、常に外部電源電圧に比例するため(例えば、1.5 $V_{cc}$ 程度が一般的に用いられる)、外部電源電圧が保証値内の高電位側(即ち $V_{cc}+10\%$ )で使用された場合、メモリセルトランスファトランジスタのゲート酸化膜に高電界がかかることになり、信頼性の面からも好ましくない。

【0020】このような高速性、或いは高信頼性の観点から64Mビット以上の集積度を有するDRAMにおいては、チップ内に発振回路とチャージポンプ回路を基本構成にもつ昇圧電圧( $V_{rr}$ )発生回路を内蔵するものが、発表されている。例えば、ISSC, Vol. 26, No. 4, April, 1991, P. 465~472 或いは 1991 VLSI Circuit Symposium, P. 133~134 などがその例である。

【0021】図2には、この種の昇圧回路の一例をブロック図で示している。図示したように昇圧回路は、発振回路12と、その発振出力で動作するチャージポンプ回路13と、発生した昇圧電位( $V_{rr}$ )のレベルを検知し発振回路12の動作を制御するための帰還抵抗 $R_1$ 、 $R_2$ と、電圧コンパレータ11とで構成されるのが一般的である。 $V_{ref}$ は電圧コンパレータへの参照電圧である。このような昇圧回路を用いることで、電源電圧より

5

も高い電圧をオンチップで発生させることが可能となり、電源電圧の変動に拘りなく安定した昇圧電位を得ることができる。図1に示した本実施例の昇圧回路4もこのような構成を採用している。

【0022】このような昇圧回路4を有するDRAMの場合、メモリセルには $V_{pp}-V_t$  ( $V_t$ はメモリセルトランスファトランジスタのしきい値電圧)の電位が書き込まれることになる。このことは、ビット線リストア回路6に供給される電圧、即ちリストア電圧 ( $V_{DDs}$ ) も  $V_{pp}-V_t$  で必要充分なことを意味する。

【0023】従って本実施例においては、従来の電圧コンパレータによる降圧回路の代わりに、トランジスタ $Q_1$ による降圧回路を用いている。トランジスタ $Q_1$ のしきい値はメモリセルトランスファトランジスタのそれを一致していることが最も望ましいが、メモリセルトランスファトランジスタのしきい値より低ければメモリセルへの書き込み電圧は、メモリセルトランスファトランジスタのしきい値で決まるため、動作上問題ないことは明らかである。

【0024】なお、これらが一致していると、セルフラインでビット線リストア電位を設定することができる。即ち、リストア電位はメモリセルのストレージノードと同じで十分であるが、トランジスタ $Q_2$ のしきい値がメモリセルトランジスタのしきい値より低いと、リストア電位の方が高くなり無駄な電力消費となる。逆にメモリセルトランジスタのしきい値より高いと、リストア電位が低くなりメモリセルのストレージノードに十分な電荷を書き込めなくなる。トランジスタ $Q_2$ のしきい値とメモリセルトランスファトランジスタのそれが一致していると、無駄な電力消費を招くことなくビット線リストア電位をメモリセルのストレージノードに書き込むことができ、上記の不都合を回避することができることになる。

【0025】図3は本発明のDRAMのうち、特にビット線リストア回路について等価回路で示したものであり、図4はその動作波形図を示したものである。図3、図4を用いて回路動作を説明すると、DRAMのスタンバイ状態においてはセンスアンプ活性化信号SEが低レベルであり、pMOSセンスアンプ回路の共通ソース線SAPはプリチャージレベル (例えば $V_{DDs}/2$ ) にプリチャージされている。一方、降圧電位となる $V_{DDs}$ は、 $V_{pp}-V_t$ に保持されている。

【0026】この状態からDRAMが活性となり、あるタイミングでセンスアンプ活性化信号SEが高レベルになると、これに同期してビット線のリストアが開始され、トランジスタ $Q_2$ 、 $Q_3$ を介してリストア電流 $I_{SA}$ が流れ、SAPの負荷容量が充電される。このとき、図4に示したように $I_{SA}$ は徐々に減少するため、リストア終了時に $di/dt$ は極めて小さい。 $I_{SA}$ の漸時的な減少は、トランジスタ $Q_2$ のソース・ドレイン

6

電圧が徐々に小さくなることに起因している。リストア時の $di/dt$ が小さいことは、チップのインダクタンス成分による電源ノイズ ( $L di/dt$ ノイズ) が極めて小さいことを意味し、これによりDRAMが安定に動作することが可能となる。

【0027】このように本実施例によれば、ビット線リストア回路6として、ワード線駆動用の昇圧電位 $V_{pp}$ がゲート電極に入力され、且つそのドレイン電極が電源 $V_{cc}$ に接続されたnMOSトランジスタ $Q_2$ を内蔵させ、このトランジスタ $Q_2$ のしきい値落ちの電位 ( $V_{pp}-V_t$ ) をビット線リストア電位として発生させている。このため、リストア動作の進行に伴ってそのリストア電流は緩やかに減少することになり、従来リストア終了時に発生していた電圧コンパレータの動作による大きな $di/dt$ ノイズを低減することができる。従って、ノイズ発生量の小さな非常に安定した動作が可能となる。

【0028】図5は、本発明の第2の実施例の概略構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例が先の第1の実施例と異なる点は、入力段回路群1及び周辺回路群2が専用の降圧回路9により降圧された電圧で駆動されていることにあり、その他は第1の実施例と同様である。

【0029】このような構成であれば、第1の実施例と同様の効果が得られるのは勿論のこと、周辺回路の動作マージンを大きくすることができる。なお、ここでいう周辺回路とは、セルフブロックアレイ7及びこれを駆動するための駆動回路 (実施例ではワード線駆動回路5、ビット線リストア回路6) を除く回路 (実施例では入力段回路群1、周辺回路群2) を意味している。

【0030】図6は本発明の第3の実施例として、ビット線リストア回路の他の例を示したものである。この実施例が第1の実施例と異なるのは、リストア回路動作中の電流ピークを低減するために充電電流制御手段を設けた点にある。電流ピークを低減することも電源ノイズ低減には効果的であり、図6では充電電流制限のため定電流回路がリストア回路に内蔵されており、リストア回路は電流バイアス段 (トランジスタ $Q_4$ ) とドライバ部 (トランジスタ $Q_5$ ) により構成されている。

【0031】本実施例の動作を説明すると、センスアンプ活性化信号SEに同期して電流バイアス段に $I_1$ なる電流が流れる。ここで、トランジスタ $Q_4$ と $Q_5$ はカレントミラー回路構成となっているため、 $I_{SA}$ には $I_1$ のミラー電流が流れる。今、トランジスタ $Q_4$ 、 $Q_5$ のゲート幅をそれぞれ $W_4$ 、 $W_5$ とすると、最大の場合において $I_{SA} = I_1 \times W_5 / W_4$ なる定電流が流れ、充電ピーク電流は低減される。

【0032】図7には図6に示した回路の波形図を示した。リストアが進行していくにつれてトランジスタ $Q_4$ のソース・ドレイン電圧が徐々に小さくなるため、 $Q_5$

7

は5極間動作から3極間動作になる。従って、リストア終了時の $di/dt$ は第1の実施例と同様に極めて小さくなり、これによる電源ノイズも抑えることが可能となる。

【0033】図8は、図7に示した定電流回路の一例を示したものである。定電流回路は、基準電圧 $V_{ref}$ が入力される差動増幅器DIFと基準抵抗 $R$ 、並びに電圧電流変換用MOSトランジスタ $Q6$ とから構成されている。この回路では、差動増幅器DIFはノード $N1$ の電圧が常に $V_{ref}$ と同一になるようにトランジスタ $Q6$ のゲート電圧を制御する。これにより、電流バイアス段にはいかなる条件下においても $I_s = V_{ref} / R$ で決まるバイアス電流が流れる。基準電位 $V_{ref}$ が電源電圧の変動に対して一定となるような電圧に設定すれば、 $I_s$ は $R$ の値で決まる一定値をとる。さらに、 $V_{ref}$ に対して何らかの温度補償手段を用いれば、温度変動も無視できる。このような $V_{ref}$ としては、バイポーラトランジスタを用いたバンドギャップレファレンス回路を用いれば最も望ましい。

【0034】なお、本発明は上述した各実施例に限定されるものではない。ビット線リストア回路の構成は図3、図6、図8に限るものではなく、仕様に応じて適宜変更可能であり、昇圧回路の昇圧電位 $V_{rr}$ をゲート電極に入力し、ドレインに電源 $V_{cc}$ が接続されたnMOSトランジスタを基本構成とするものであればよい。また、メモリセル構造は1トランジスタ/1キャパシタのDRAMセルに限るものではなく、他のDRAMセルに適用することもできる。さらに、DRAMセルに限らず他の構造のメモリセルに適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0035】

【発明の効果】以上述べたように本発明によれば、ビット線リストア回路にワード線用昇圧電位を利用したMOSトランジスタによる降圧回路を内蔵させることにより、リストア完了時に発生する $di/dt$ が原因となる電源ノイズを抑制することが可能となり、非常に動作の安定した半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるDRAMの概略

8

構成を示すブロック図、

【図2】第1の実施例に用いた昇圧回路の具体的構成を示すブロック図、

【図3】第1の実施例に用いたビット線リストア回路を示す等価回路図、

【図4】第1の実施例のビット線リストア回路の動作を説明するための波形図、

【図5】第2の実施例の概略構成を示すブロック図、

【図6】第3の実施例に用いたビット線リストア回路を示す等価回路図、

【図7】第3の実施例のビット線リストア回路の動作を説明するための波形図、

【図8】第3の実施例のビット線リストア回路の定電流回路を示す等価回路図、

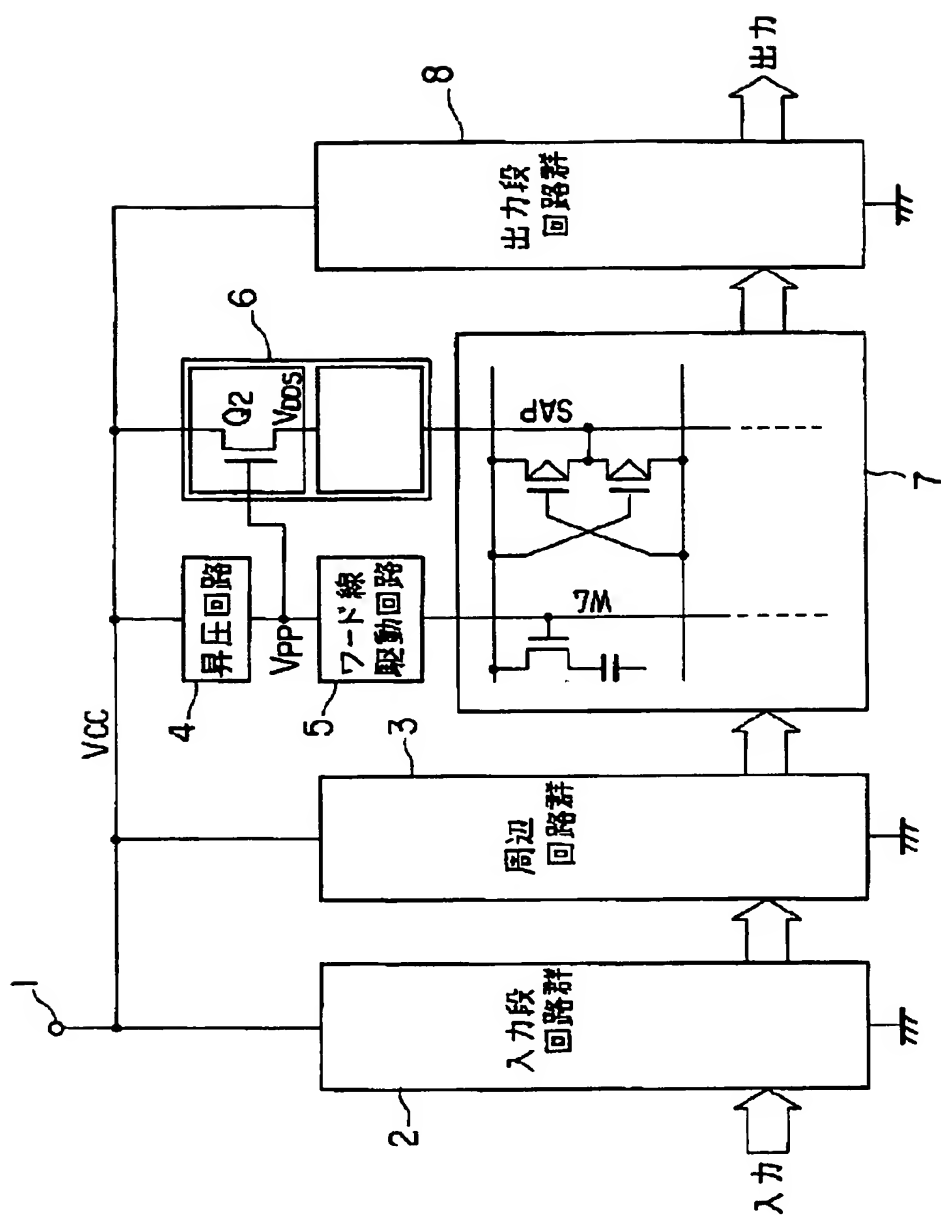
【図9】電圧コンパレータ回路を内蔵する従来のビット線リストア回路の一例を示す等価回路図、

【図10】従来のビット線リストア回路の動作を説明するための波形図。

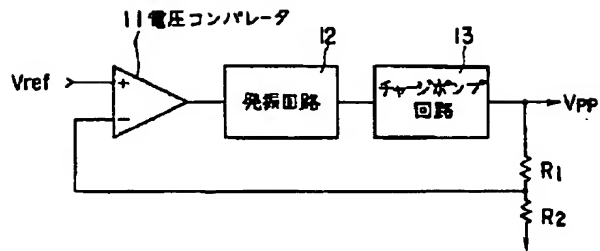
【符号の説明】

- 1…外部電源、
- 2…入力段回路群、
- 3…周辺回路群、
- 4…昇圧回路、
- 5…ワード線駆動回路、
- 6…ビット線リストア回路、
- 7…セルアレイブロック、
- 8…出力段回路群、
- 9…周辺回路用降圧回路、
- 10…定電流回路、
- 11…電圧コンパレータ、
- 12…発振回路、
- 13…チャージポンプ回路、
- $V_{cc}$ …外部電源電位、
- $V_{rr}$ …ワード線駆動用昇圧電位、
- $V_{DD}$ …周辺回路用降圧電位、
- $V_{DDs}$ …センスアンプ用降圧電位、
- WL…ワード線、
- SAP…pMOSセンスアンプ共通ソース線、
- SE…センスアンプ活性化信号。

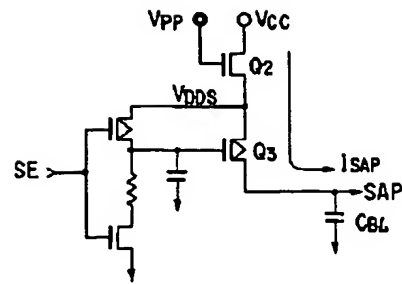
【図1】



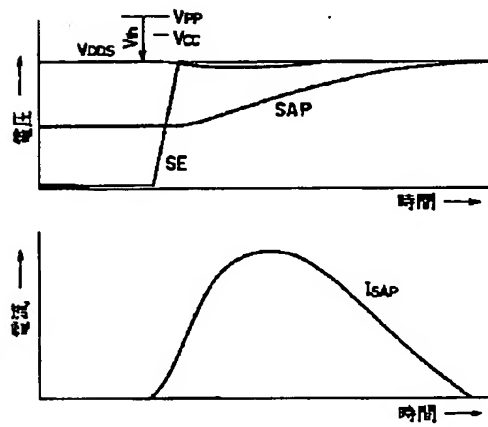
【図2】



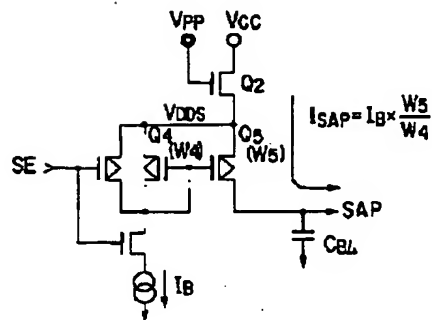
【図3】



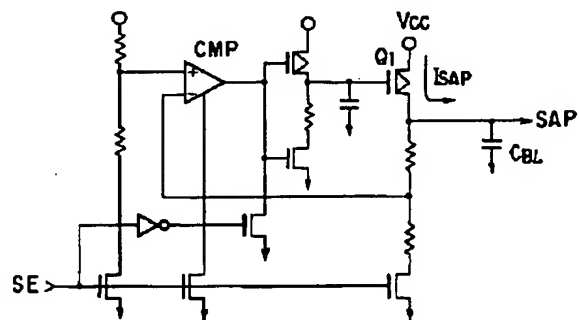
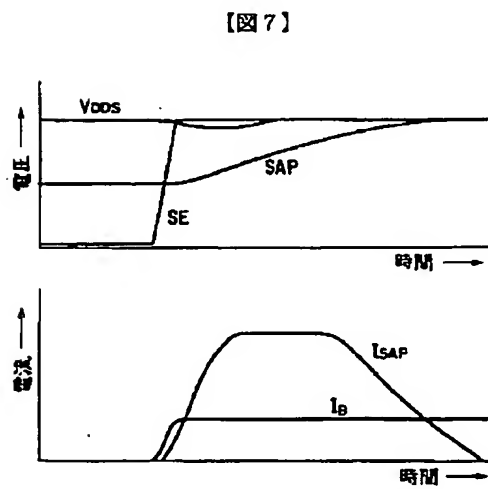
【図4】



【図6】

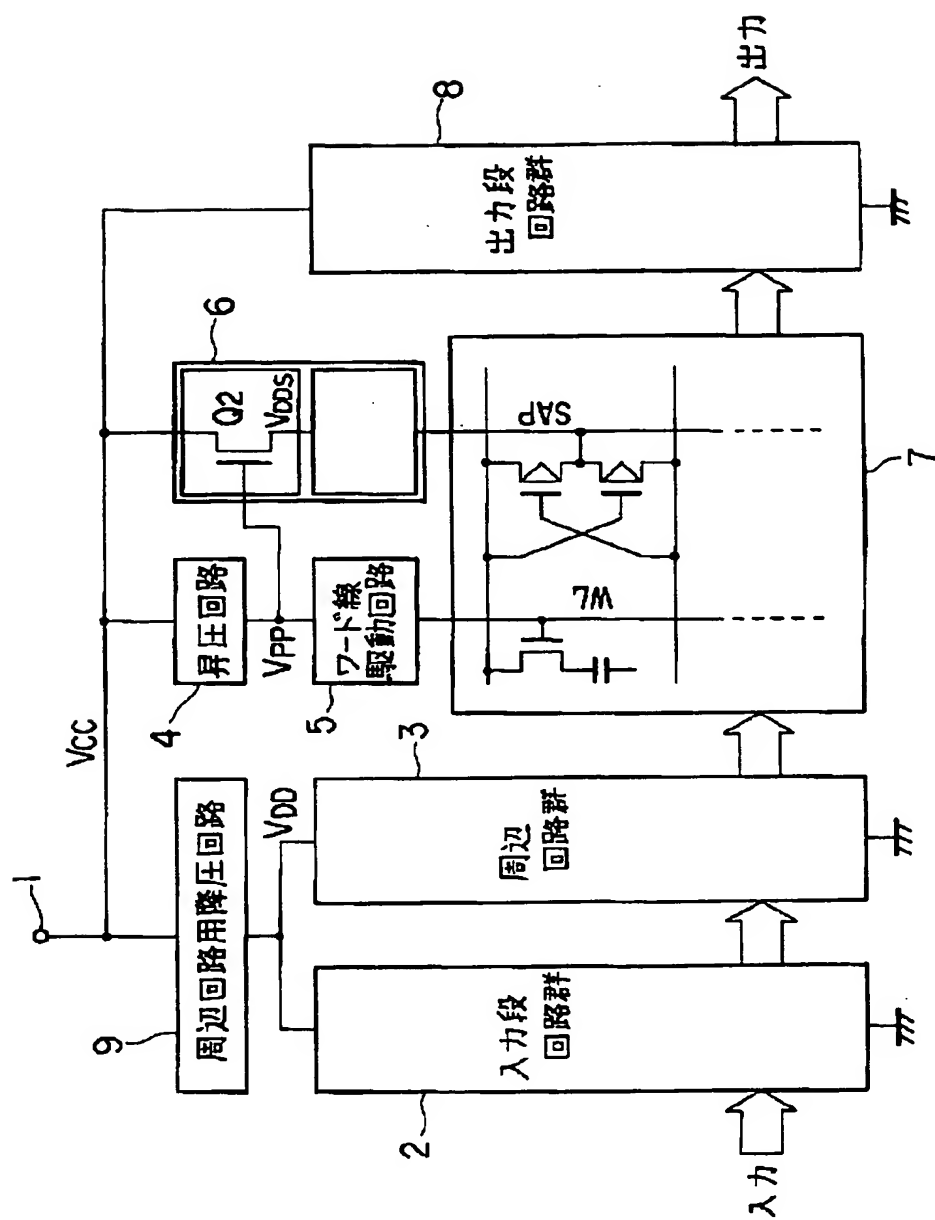


【図9】

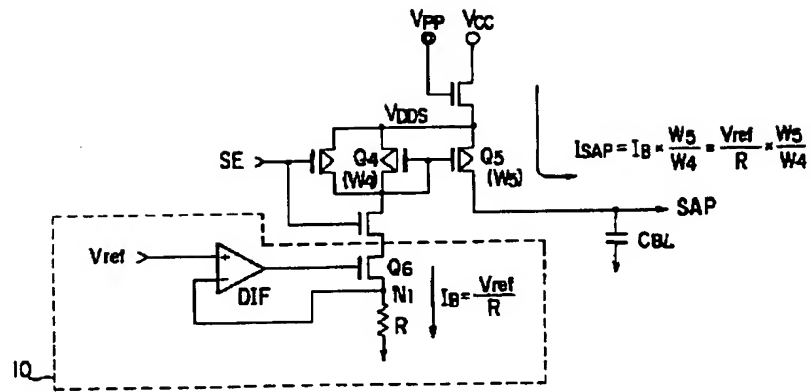




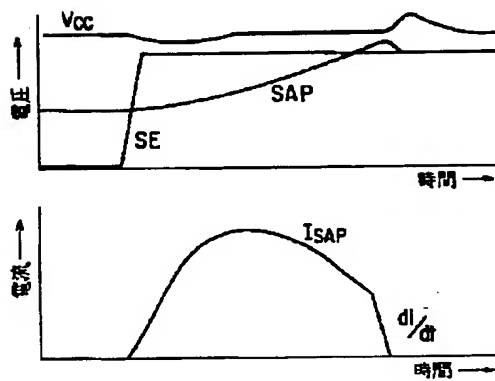
【図5】



【図8】



【図10】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H01L 27/108

識別記号

庁内整理番号

F I

技術表示箇所